

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026141

(43)Date of publication of application : 25.01.2002

(51)Int.Cl. H01L 21/8238
H01L 27/092
H01L 21/76

(21)Application number : 2000-201923 (71)Applicant : TOSHIBA CORP

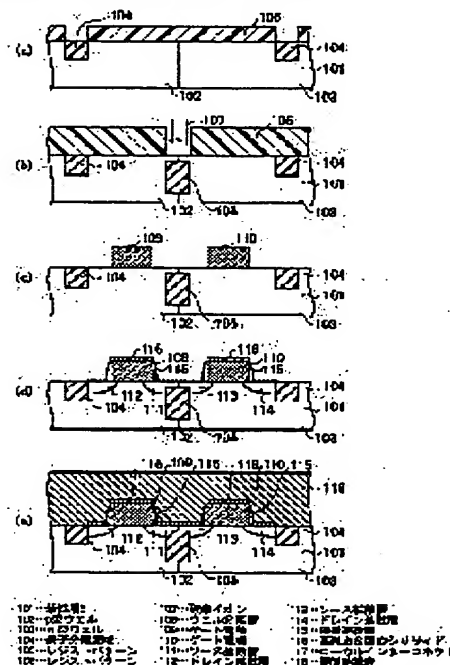
(22)Date of filing : 04.07.2000 (72)Inventor : EGI YUICHIRO
NAKAMURA HATSUO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can be integrated to a higher degree and made finer by locally interconnecting an n-type MOS transistor and a p-type MOS transistor which constitute an inverter and making the well separate layer width of a CMOS transistor narrow.

SOLUTION: The well separation of the CMOS transistor, which constitutes the inverter, is formed into a structure constituted by locally interconnecting the part of the well separate layer close to the top surface of the substrate and a conductive material, by forming the upper part so that it will not be exposed on the top surface of the substrate 101 and the lower part deep, and then forming the conductive material on the border of the well isolation layer 108, and the width of the well isolation layer 108 is made narrow. Consequently, the device can be integrated to a higher degree and made finer.



LEGAL STATUS

[Date of request for examination] 24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26141

(P2002-26141A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 B 5 F 0 3 2

27/092

21/76

R 5 F 0 4 8

21/76

M

審査請求 未請求 請求項の数9 O L (全 6 頁)

(21) 出願番号 特願2000-201923(P2000-201923)

(22) 出願日 平成12年7月4日 (2000.7.4)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 江木 雄一郎

神奈川県川崎市幸区小向東芝町1番地株式
会社東芝マイクロエレクトロニクスセンタ
ー内

(72) 発明者 中村 初雄

神奈川県川崎市幸区小向東芝町1番地株式
会社東芝マイクロエレクトロニクスセンタ
ー内

(74) 代理人 100083161

弁理士 外川 英明

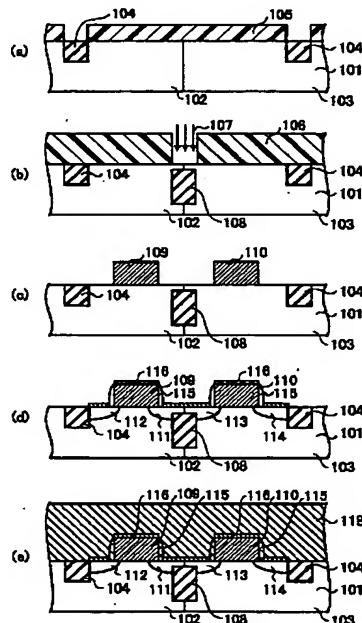
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 インバータを構成するn型MOSトランジスタとp型MOSトランジスタの接続をローカルインターコネクで行い、CMOSトランジスタのウェル分離層幅を狭く形成し、デバイスをより一層高集積化及び微細化することが可能となる半導体装置を提供する。

【解決手段】 インバータを構成するCMOSトランジスタのウェル分離を、上部が前記基板101の表面に露出しないよう、また下部を深く形成し前記ウェル分離層108の境界上の位置に導電性材料を形成することによって、ウェル分離層上の基板の表面付近及び前記導電性材料をローカルインターコネクとして構成する構造とし、ウェル分離層108幅を狭く形成することを特徴とする。本発明によれば、デバイスをより一層高集積化及び微細化することが可能となる。



101...基板
102...ウェル
103...n型ウェル
104...ゲート電極
105...ゲート絶縁膜
106...レジストパター
107...ウェル分離層
108...ウェル分離層
109...ウェル分離層
110...ウェル分離層
111...ウェル分離層
112...ウェル分離層
113...ソース領域
114...ドレイン領域
115...ウェル分離層
116...ウェル分離層
117...ウェル分離層
118...ウェル分離層
119...ウェル分離層
120...ウェル分離層

【特許請求の範囲】

【請求項1】 基板上形成される第1の導電型のウェル及び第2の導電型のウェルを有する素子形成領域と、第1及び第2の導電型のウェルの境界に、上部が前記基板の表面に露出しないように形成されるウェル分離層と、前記第1の導電型のウェル上に、導電性材料を用いて選択的に形成される第1のゲート電極と、前記第2の導電型のウェル上に、導電性材料を用いて選択的に形成される第2のゲート電極と、前記第1の導電型のウェル上に、前記第1のゲート電極をマスクとして第2の導電型の不純物を導入して形成される一対の第1の拡散層と、前記第2の導電型のウェル上に、前記第2のゲート電極をマスクとして第1の導電型の不純物を導入して形成され、前記第1の拡散層のいずれか一方と一方が接するように形成される一対の第2の拡散層と、第1及び第2の拡散層が接する境界上に形成される第1の導電性材料と、を具備したことを特徴とする半導体装置。

【請求項2】 前記第1の導電性材料は、高融点金属のシリサイドであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 素子形成領域の基板上の第1の領域に形成される第1の導電型のウェルと、前記素子形成領域の基板上の第2の領域に第1の導電型のウェルと接するよう形成される第2の導電型のウェルと、前記第1及び第2の導電型のウェルの境界に、上部が前記基板の表面に露出しないように形成されるウェル分離層と、前記ウェル分離層の上部の基板を一方の拡散層として用いて構成され、前記第1の導電型のウェルに形成される一方の導電型のトランジスタと、前記ウェル分離層の上部の基板を1つの拡散層として用いて構成され、前記第2の導電型のウェルに形成される第1の導電型のトランジスタと、を具備したことを特徴とする半導体装置。

【請求項4】 前記ウェル分離層は、その底部が前記素子形成領域を分離する前記素子分離領域の底部よりも深く形成されていることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】 素子形成領域の基板上に、第1の導電型のウェル及び第2の導電型のウェルを形成する工程と、イオンを注入することによって、第1及び第2の導電型のウェルの境界に、上部が前記基板の表面に露出しないようにウェル分離層を形成する工程と、前記第1の導電型のウェル上に、導電性材料を用いて選択的に第1のゲート電極を形成する工程と、前記第2の導電型のウェル上に、導電性材料を用いて選択的に第2のゲート電極を形成する工程と、前記第1の導電型のウェル上に、前記第1のゲート電極をマスクとして第2の導電型の不純物を導入して、一対の第1の拡散層を形成する工程と、前記第2の導電型のウェル上に、前記第2のゲート電極をマスクとして第1の導電型の不純物を導入して、前記第1の拡散層のいずれか一方と、一方が接するように一対の第2の

拡散層を形成する工程と、第1及び第2の拡散層が接する境界上に第1の導電性材料を形成する工程と、を具備したことを特徴とする半導体装置の製造方法。

【請求項6】 前記第1の導電性材料は、高融点金属のシリサイドであることを特徴とする前記請求項5に記載の半導体装置の製造方法。

【請求項7】 基板上の第1の領域に第1の導電型のウェルを形成する工程と、基板上の第2の領域に第1の導電型のウェルと接するよう第2の導電型のウェルを形成する工程と、イオンを注入することによって、前記第1及び第2の導電型のウェルの境界に、上部が前記基板の表面に露出しないようにウェル分離層を形成する工程と、前記第1の導電型のウェルに、前記ウェル分離層の上部の基板を一方の拡散層として用いた第2の導電型のトランジスタを形成する工程と、前記第2の導電型のウェルに、前記ウェル分離層の上部の基板を一方の拡散層として用いた第1の導電型のトランジスタを形成する工程と、を具備したことを特徴とする半導体装置の製造方法。

【請求項8】 前記ウェル分離層は、その底部が前記素子分離領域の底部よりも深く形成することを特徴とする請求項5乃至7のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記イオンは、酸素イオンであることを特徴とする請求項5乃至8のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に係り、特にCMOSトランジスタを用いて構成されるインバータ構造に関する。

【0002】

【従来の技術】 近年、半導体装置において、デバイスのさらなる高集積化及び微細化が要求されている。デバイスとしては、例えばn型MOSトランジスタ、p型MOSトランジスタを用いて構成されるCMOSトランジスタが挙げられる。論理回路のインバータはCMOSトランジスタによって構成されており、ロジックやSRAMなどのメモリ回路などの様々な応用分野で用いられている。図2(a)乃至同図(d)に従来の半導体装置の一例として、CMOSトランジスタを用いて構成されるインバータを製造する方法について述べる。図面はいずれも断面図であり、製造工程を工程順に示す。まず、図2(a)に示すように、半導体基板の活性層Si 201のn型MOSトランジスタ形成領域に、p型の不純物を用いてp型ウェル202を形成する。p型MOSトランジスタ形成領域には、n型の不純物を用いてn型ウェル203を形成する。素子分離領域204とウェル分離領域205を形成する領域に開口部を形成したレジストパターン206を形成してエッチングを行い、SiO₂を埋め込むことによって素

子分離及びウェル分離としてSTI (Shallow Trench Isolation) の分離領域を形成する。これらの分離領域は、工程数の増加がないよう同時に形成され、前記ウェル分離領域205は前記素子分離領域204と比較して3倍程度幅が広がるよう形成される。

【0003】次いで、図2(b)に示すように、前記レジストパターン206を剥離し、前記p型ウェル202及び前記n型ウェル203上に、ゲート絶縁膜を形成し(図示せず)、その上にポリシリコンを用いて、ゲート電極207及び208を形成する。次いで、図2(c)に示すように、前記ゲート電極207をマスクとして用いて、n型MOSトランジスタ形成領域に、n型不純物を注入して、ソース拡散層209及びドレイン拡散層210を形成する。また、前記ゲート電極208をマスクとして用いて、p型MOSトランジスタ領域に、p型不純物を注入して、ソース拡散層211及びドレイン拡散層212を形成する。前記ゲート電極207及び208の側壁には側壁絶縁膜213を形成する。また、配線の低抵抗化をはかり高速化を実現するために、ゲート電極、ソース拡散層及びドレイン拡散層の各上に、低抵抗な高融点金属のシリサイド214を形成する。次いで、図2(d)に示すように、n型MOSトランジスタのドレイン拡散層210、p型MOSトランジスタのソース拡散層211及びウェル分離領域205上にアルミニウムやタングステンなどの導電性材料を選択的に形成し、n型MOSトランジスタとp型MOSトランジスタを接続するローカルインターコネクト215を形成する。次いで、全面に層間絶縁膜216を堆積し、ゲート電極、ソース拡散層及びローカルインターコネクトの表面が露出するような開口部を形成して導電性材料を埋め込み、コンタクトを形成し(図示せず)、インバータを構成する。

【0004】

【発明が解決しようとする課題】しかしながら、上記した半導体装置及びその製造方法では、STIのウェル分離領域205を大きく形成する必要がある、デバイスの高集積化及び微細化を妨げるという問題がある。理由は以下の通りである。工程数の増加がないよう素子分離領域204とともに形成されるSTIのウェル分離領域205は、例えば、前記n型ウェル203と前記p型ウェル202と前記ソース拡散層209の3層によって構成される寄生npnトランジスタがON動作することがないように形成される必要がある。しかし、このとき分離領域として機能するのは、ウェル分離領域205のうち、前記p型ウェル202内に形成されているウェル分離領域(幅はウェル分離領域205の半分)である。一方、素子分離領域204では、素子分離領域がそのまま分離領域として機能する。すなわち、ウェル分離領域205では、素子分離領域204と比較しておよそ2倍程度、好ましくは3倍程度幅が広がるよう形成する必要がある。本発明は上記した問題点を解決すべくなされたもので、インバータを構成するn型MOSト

ランジスタとp型MOSトランジスタの接続をローカルインターコネクトで行い、工程数の増加なくCMOSトランジスタのウェル分離領域幅が狭くなるよう形成し、デバイスをより一層高集積化及び微細化することが容易に可能となる半導体装置及びその製造方法を提供することを目的としている。

【0005】

【課題を解決するための手段】上記した目的を達成するための手段は、基板上形成される第1の導電型のウェル及び第2の導電型のウェルを有する素子形成領域と、第1及び第2の導電型のウェルの境界に、上部が前記基板の表面に露出しないように形成されるウェル分離層と、前記第1の導電型のウェル上に、導電性材料を用いて選択的に形成される第1のゲート電極と、前記第2の導電型のウェル上に、導電性材料を用いて選択的に形成される第2のゲート電極と、前記第1の導電型のウェル上に、前記第1のゲート電極をマスクとして第2の導電型の不純物を導入して形成される一対の第1の拡散層と、前記第2の導電型のウェル上に、前記第2のゲート電極をマスクとして第1の導電型の不純物を導入して形成され、前記第1の拡散層のいずれか一方と一方が接するように形成される一対の第2の拡散層と、第1及び第2の拡散層が接する境界上に形成される第1の導電性材料と、を具備したことを特徴とする。また、前記第1の導電性材料は、高融点金属のシリサイドであることを特徴とする。また、素子形成領域の基板上の第1の領域に形成される第1の導電型のウェルと、前記素子形成領域の基板上の第2の領域に第1の導電型のウェルと接するよう形成される第2の導電型のウェルと、前記第1及び第2の導電型のウェルの境界に、上部が前記基板の表面に露出しないように形成されるウェル分離層と、前記ウェル分離層の上部の基板を一方の拡散層として用いて構成され、前記第1の導電型のウェルに形成される一方の導電型のトランジスタと、前記ウェル分離層の上部の基板を1つの拡散層として用いて構成され、前記第2の導電型のウェルに形成される第1の導電型のトランジスタと、を具備したことを特徴とする。

【0006】また、前記ウェル分離層は、その底部が前記素子形成領域を分離する前記素子分離領域の底部よりも深く形成されていることを特徴とする。本発明によれば、インバータを構成するn型MOSトランジスタとp型MOSトランジスタのウェル分離層を、上部が前記基板の表面に露出しないよう、また下部を深く形成し、ウェル分離層上の基板の表面付近をローカルインターコネクトとして形成する構造とするとともに、ウェル分離層幅が狭くなるよう形成することによって、デバイスを高集積化及び微細化することが可能となる。また、素子形成領域の基板上に、第1の導電型のウェル及び第2の導電型のウェルを形成する工程と、イオンを注入することによって、第1及び第2の導電型のウェルの境界に、上部が

前記基板の表面に露出しないようにウェル分離層を形成する工程と、前記第1の導電型のウェル上に、導電性材料を用いて選択的に第1のゲート電極を形成する工程と、前記第2の導電型のウェル上に、導電性材料を用いて選択的に第2のゲート電極を形成する工程と、前記第1の導電型のウェル上に、前記第1のゲート電極をマスクとして第2の導電型の不純物を導入して、一対の第1の拡散層を形成する工程と、前記第2の導電型のウェル上に、前記第2のゲート電極をマスクとして第1の導電型の不純物を導入して、前記第1の拡散層のいずれか一方と、一方が接するように一対の第2の拡散層を形成する工程と、第1及び第2の拡散層が接する境界上に第1の導電性材料を形成する工程と、を具備したことを特徴とする。

【0007】また、前記第1の導電性材料は、高融点金属のシリサイドであることを特徴とする。また、基板上の第1の領域に第1の導電型のウェルを形成する工程と、基板上の第2の領域に第1の導電型のウェルと接するよう第2の導電型のウェルを形成する工程と、イオンを注入することによって、前記第1及び第2の導電型のウェルの境界に、上部が前記基板の表面に露出しないようにウェル分離層を形成する工程と、前記第1の導電型のウェルに、前記ウェル分離層の上部の基板を一方の拡散層として用いた第2の導電型のトランジスタを形成する工程と、前記第2の導電型のウェルに、前記ウェル分離層の上部の基板を一方の拡散層として用いた第1の導電型のトランジスタを形成する工程と、を具備したことを特徴とする。ここで、前記ウェル分離層は、その底部が前記素子分離領域の底部よりも深く形成することを特徴とする。本発明によれば、イオンの注入を行うことによってウェル分離層を形成し、ウェル分離層上の基板の表面付近をローカルインターコネクトとして形成するとともに、ウェル分離層幅が狭くなるよう形成することができ、工程数の増加なくデバイスを高集積化及び微細化することが可能となる。

【0008】また、前記イオンは、酸素イオンであることを特徴とする。

【0009】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について詳細に説明する。

（第1の実施の形態）本実施の形態においては、CMOSトランジスタを用いて構成されるインバータの構造及びその製造方法について述べる。図面はいずれも断面図であり、製造工程を工程順に示す。まず、図1(a)に示すように、半導体基板の活性層Si 101は、n型MOSトランジスタ形成領域にはp型の不純物を用いてp型ウェル102を形成し、p型MOSトランジスタ形成領域にはn型の不純物を用いてn型ウェル103を形成する。素子分離領域104に開口部を形成したレジストパターン105を形成してエッチングを行い、SiO₂を埋め込むこと

によって、STI (Shallow Trench Isolation) を形成する。この素子分離はエッチングして埋め込むトレンチ技術を用いて形成する方法に特に限定されず、選択酸化技術を用いてもよくLOCOSによって形成してもかまわない。次いで、図1(b)に示すように、前記レジストパターン105を剥離し、前記活性層Si 101の全面にレジストを塗布し、リソグラフィ技術を用いて、前記n型MOSトランジスタのp型ウェル102と前記p型MOSトランジスタのn型ウェル103のウェル分離領域を開口したレジストパターン106を形成する。前記レジストパターン106の開口径は前記素子分離領域104と同程度でよい。（前記レジストパターン105の開口径と同程度）次いで、選択された加速度エネルギーで酸素イオン107を注入し、ウェル分離領域となるウェル分離層108の形成を行う。このとき、前記ウェル分離層108は前記活性層Si 101の表面には形成せず、前記ウェル分離層108の底部が、前記素子分離領域104の底部よりも深い位置となるような加速度エネルギーを選択して形成する。より大きな加速度エネルギーを持つイオンを注入することによって前記活性層Si 101の、より深い位置にピークを持つような濃度分布を有するウェル分離層を形成することができる。前記活性層Si 101の表面付近の濃度は小さく、実質的に表面にはウェル分離層は形成されない。前記レジスト106は、前記レジスト105より厚く塗布して形成する。したがって、前記ウェル分離層108を深く形成して容易に分離性能を向上することができるため、このウェル分離層108を深く形成した分、幅を狭く形成することが可能となる。

【0010】次いで、図1(c)に示すように、前記レジストパターン106を剥離し、前記p型ウェル102及び前記n型ウェル103上に、ゲート絶縁膜を形成し、その上に導電性材料としてp型或いはn型不純物を注入したポリシリコンを用いて、ゲート電極109及び110を形成する。ゲート電極を形成する導電性材料は、特にポリシリコンに限定されず、タングステン、チタニウムなどの高融点金属であってもよく、それらの積層構造であってもかまわない。次いで、図1(d)に示すように、前記ゲート電極109をマスクとして用いて、n型MOSトランジスタ形成領域に、AsやPなどのn型不純物を注入して、ソース拡散層111及びドレイン拡散層112を形成する。また、前記ゲート電極110をマスクとして用いて、p型MOSトランジスタ領域に、BやGaなどのp型不純物を注入して、ソース拡散層113及びドレイン拡散層114を形成する。続いて、前記ゲート電極109及び110の側壁にシリコン窒化膜などからなる側壁絶縁膜115を形成する。このとき再度不純物の注入を行うことによって、前記ソース・ドレイン拡散層にLDD (Lightly Doped Drain) 構造を形成してもよい。また、配線の低抵抗化をはかり高速化を実現するために、ゲート電極、ソース拡散層及びドレイン拡散層上に、低抵抗な高

融点金属のシリサイド116を形成する。前記ウェル分離層108上に形成される高融点金属のシリサイドは、少なくとも前記ウェル分離層108の境界上に形成されてればよい。以下に高融点金属のシリサイドを形成する工程について述べる。まず、基板の全面にW、Co、Tiなどの高融点金属を堆積させ、RTA (Rapid Thermal Anneal) を行う。このとき、Si或いはp-Si上の高融点金属、すなわちゲート電極、ソース拡散層及びドレイン拡散層上の高融点金属は、Si或いはp-Siと反応してシリサイド化し、反応しないシリコン窒化膜が形成されている側壁部の高融点金属は除去される。

【0011】次いで、図1(e)に示すように、シリコン酸化膜やシリコン窒化膜を用いて層間絶縁膜118を形成する。次に、前記ゲート電極109、110、前記ドレイン拡散層112、114、前記ドレイン拡散層114、及びローカルインターコネクタ（接するよう形成された前記ソース拡散層111、113及び前記ウェル分離層108上の高融点金属のシリサイド116によって構成されている）の表面が露出するように開口部を形成し、前記開口部にアルミニウムやタングステンなどの導電性材料を埋め込むことによってコンタクトを形成し（図示せず）、インバータを構成する。本実施の形態によれば、インバータを構成するCMOSトランジスタのウェル分離層を、上部が基板の表面に露出しないよう、また下部を深く形成する。すなわち、ウェル分離層108上の基板の表面付近をローカルインターコネクタ117の一部として構成する構造とするとともに、ウェル分離層幅が狭くなるよう形成することによって、デバイスを高集積化及び微細化することが可能となる。また、前記ウェル分離層108の形成において、選択した加速度エネルギーをもつ酸素イオンを注入してウェル分離層108を形成することによって、前記ウェル分離層108を前記活性層Si 101の表面付近に形成しないよう、また前記素子分離領域104よりも深くなるよう形成することができる。よって、前記ウェル分離層105を深く形成することができた分、幅を狭く形成することができる。また、ウェル分離層108を形成すると同時にローカルインターコネクタ117に必要な構成の一部を形成することができる。すなわち、イオン注入の際のリソグラフィ工程（図1(b)参照）が追加されるものの、そのリソグラフィ工程によってローカルインターコネクタの形成を行うことができる。よって、従来の技術と比較して、従来の技術で形成したローカルインターコネクタ215（図2参照）を形成する工程を行う必要がないため、工程数の増加なくデバイスを高集積化及び微細化することが可能となり、集積回路の素子面積を容易に大幅に縮小することができる。

【0012】以上、第1の実施の形態について、説明を行ったが、トレンチ技術によって形成した素子分離領域を、ウェル分離層と同様に酸素イオンを注入する方法に

よって形成してもかまわない。また、前記素子分離領域と前記ウェル分離層はシリコン窒化膜などの絶縁性の膜を形成するような窒素イオンを注入することによって形成してもよく、シリコン窒化膜などで形成してもよい。

【0013】

【発明の効果】以上、詳述したように、本発明によれば、インバータを構成するn型MOSトランジスタとp型MOSトランジスタのウェル分離層を、上部が前記基板の表面に露出しないよう、また下部を深く形成し、前記ウェル分離層の境界上の位置に導電性材料を形成することによって、ウェル分離層上の基板の表面付近及び前記導電性材料をローカルインターコネクタとして構成する構造とするとともに、ウェル分離層の幅が狭くなるよう形成することによって、デバイスを高集積化及び微細化することが可能となる。また、ウェル分離層の形成において、選択した加速度エネルギーをもつ酸素イオンの注入を行って形成することによって、ウェル分離層を深く形成することができ、その分、ウェル分離層の幅が狭くなるよう形成することが可能となる。さらにこのとき、加速度エネルギー選択して、前記ウェル分離層を活性層Siの表面付近に形成しないことによって、ウェル分離層の形成と同時にローカルインターコネクタの形成を行うことができるため、イオン注入の際のリソグラフィ工程が追加されるものの、そのリソグラフィ工程によってローカルインターコネクタの形成を行うことができる。したがって、従来の技術と比較して工程数の増加なくデバイスを高集積化及び微細化することが可能となる半導体装置及びその製造方法を提供することができる。したがって、集積回路の素子面積を容易に大幅に縮小することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体装置の構造及びその製造方法の一部工程を示す要部断面図である。

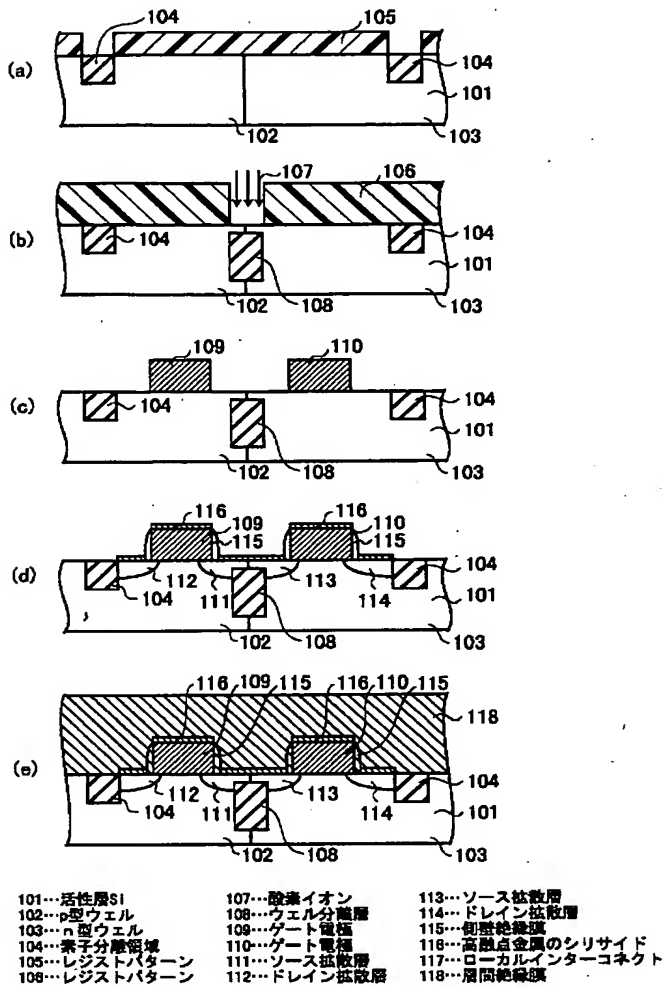
【図2】 従来の技術の半導体装置の構造及びその製造方法の一部工程を示す要部断面図である。

【符号の説明】

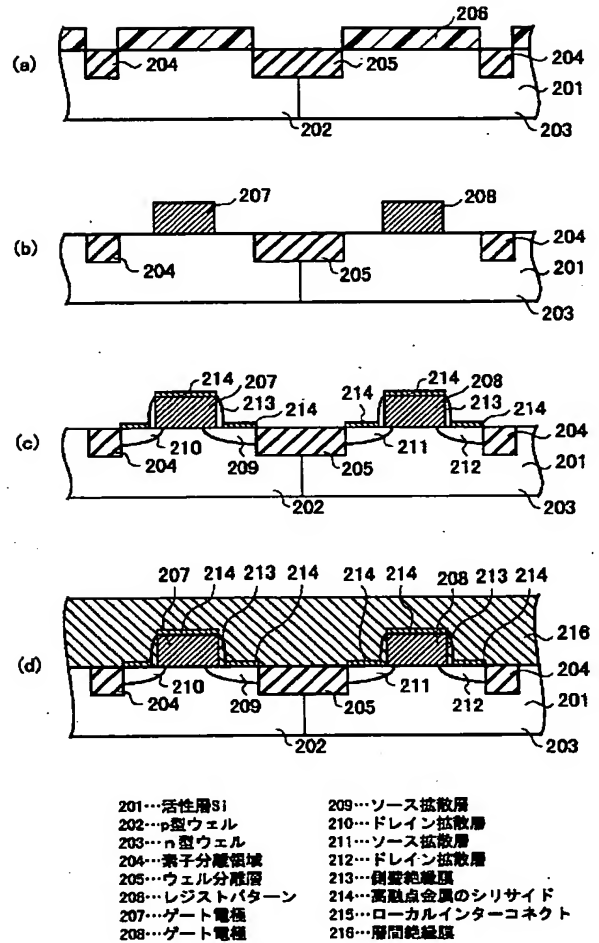
101…活性層Si、102…p型ウェル、103…n型ウェル、104…素子分離領域、105…レジストパターン、106…レジストパターン、107…酸素イオン、108…ウェル分離層、109…ゲート電極、110…ゲート電極、111…ソース拡散層、112…ドレイン拡散層、113…ソース拡散層、114…ドレイン拡散層、115…側壁絶縁膜、116…高融点金属のシリサイド、117…ローカルインターコネクタ、118…層間絶縁膜、201…活性層Si、202…p型ウェル、203…n型ウェル、204…素子分離領域、205…ウェル分離層、206…レジストパターン、207…ゲート電極、208…ゲート電極、209…ソース拡散層、210…ドレイン拡散層、211…ソース拡散層、212…ドレイン拡散層、213…側壁絶縁膜、214…高融点金属のシリサイド、215…ロー

カルインターコネク、216…層間絶縁膜

【図1】



【図2】



フロントページの続き

Fターム(参考) 5F032 AA28 BA01 BA03 CA17 DA30
DA60
5F048 AA01 AA09 AB01 AB03 AB04
AC03 BA01 BB05 BB09 BC06
BE03 BF06 BF07 BF16 BG11